

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-149774

(43)Date of publication of application : 02.06.1999

(51)Int.Cl.

G11C 11/407

G05F 3/24

G11C 11/413

G11C 11/409

(21)Application number : 10-250187

(71)Applicant : SAMSUNG ELECTRON CO LTD

(22)Date of filing : 03.09.1998

(72)Inventor : YOON SEI-SEUNG  
GI SEIMIN

(30)Priority

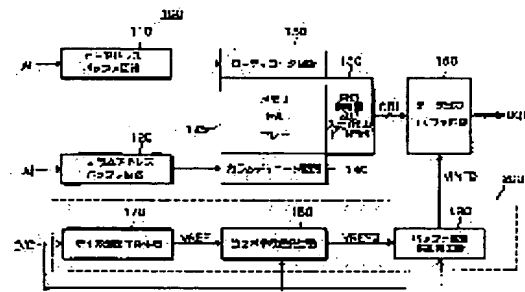
Priority number : 97 9745862 Priority date : 04.09.1997 Priority country : KR

## (54) INTEGRATED CIRCUIT SEMICONDUCTOR MEMORY HAVING INTERNAL POWER SUPPLY GENERATOR

(57)Abstract:

**PROBLEM TO BE SOLVED:** To prevent the bandwidth of a memory from decreasing by generating a second reference voltage variable depending on an external power supply voltage and supplying a data output buffer with an internal voltage generated based on the second reference voltage thereby preventing a skew from being generated between high and low output voltages by an abnormal external power supply voltage.

**SOLUTION:** An internal power supply voltage generator 200 generates an internal power supply voltage VINYQ inversely proportional to an external power supply voltage EVC when the external power supply voltage EVC is higher than a specified level, otherwise generates the internal power supply voltage VINTQ proportional to the external power supply voltage EVC. Consequently, a skew is not generated between high and low output voltages in a semiconductor memory 100 due to fluctuation in the external power supply voltage EVC even if an external power supply voltage EVC higher than a normal level is fed to the semiconductor memory 100.



## LEGAL STATUS

[Date of request for examination]

23.04.2003

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or

application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision  
of rejection]

[Date of requesting appeal against examiner's  
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-149774

(43) 公開日 平成11年(1999) 6月2日

(51) Int.Cl.<sup>5</sup>

識別記号

F I

G 1 1 C 11/407

G 0 5 F 3/24

G 1 1 C 11/413

11/409

G 1 1 C 11/34

G 0 5 F 3/24

G 1 1 C 11/34

3 5 4 F

B

3 3 5 A

3 5 4 Q

審査請求 未請求 請求項の数10 O L (全 8 頁)

(21) 出願番号 特願平10-250187

(22) 出願日 平成10年(1998) 9月3日

(31) 優先権主張番号 1 9 9 7 4 5 8 6 2

(32) 優先日 1997年9月4日

(33) 優先権主張国 韓国 (K R)

(71) 出願人 390019839

三星電子株式会社

大韓民国京畿道水原市八達区梅灘洞416

(72) 発明者 尹 世昇

大韓民国ソウル特別市江南区桃谷洞開浦漢  
新エービーティ 6-309号

(72) 発明者 魏 聖▲ミン▼

大韓民国ソウル特別市西大門区創天洞503  
-21・15/2

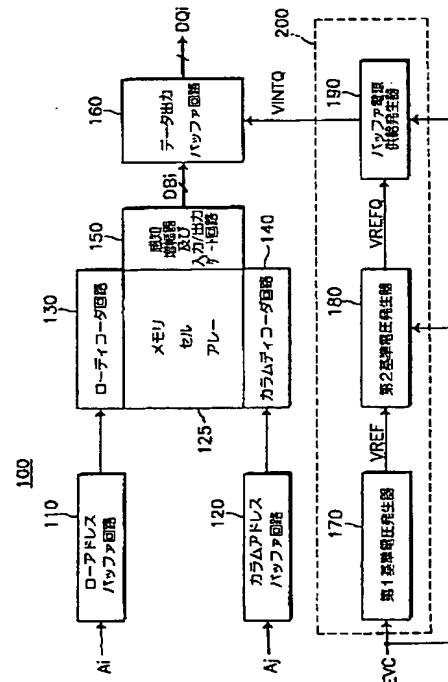
(74) 代理人 弁理士 志賀 正武 (外 1 名)

(54) 【発明の名称】 内部電源供給発生器を有する集積回路半導体メモリ装置

(57) 【要約】

【課題】 改良された速度と帯域幅を有し、しかも非正常外部電源供給電圧によって発生する高出力電圧と低出力電圧との間にスキューを防ぐことができる集積回路半導体メモリ装置を提供すること。

【解決手段】 第1基準電圧VREFを発生する第1基準電圧発生器170と第2基準電圧VREFQを発生する第2基準電圧発生器180バッファ電源供給電圧として内部電源供給電圧VINTQを発生するバッファ電源供給電圧発生器190で実現された集積回路半導体メモリ装置が提供される。第1と第2基準電圧発生器及びバッファ電源供給電圧発生器には外部電源供給電圧EVCが供給される。



## 【特許請求の範囲】

【請求項1】 データを出力するデータ出力バッファと、  
外部電源供給電圧の供給に基づいて内部電源供給電圧を発生して前記内部電源供給電圧を前記データ出力バッファに提供する内部電源供給電圧発生器とを備えることを特徴とする集積回路メモリ装置。

【請求項2】 電源供給電圧が所定の電圧以上である場合、内部電源供給電圧が外部電源供給電圧に逆比例することを特徴とする請求項1に記載の集積回路メモリ装置。

【請求項3】 電源供給電圧が所定の電圧以下である場合、内部電源供給電圧が外部電源供給電圧に比例することを特徴とする集積回路メモリ装置。

【請求項4】 データを貯蔵する複数のメモリセルを含むメモリセルアレーと、  
貯蔵されたデータを感知して増幅する感知増幅器と、  
感知されたデータを受信して前記受信されたデータを外部に提供するデータ出力バッファと、  
第1基準電圧を発生する第1基準電圧発生器と、  
外部電源供給電圧に基準に基づいて第2基準電圧を発生する第2基準電圧発生器と、  
前記第2基準電圧に基づいて内部電源供給電圧を発生して、前記内部電源供給電圧を前記データ出力バッファに提供するバッファ電源供給電圧発生器とを備えることを特徴とする集積回路メモリ装置。

【請求項5】 外部電源供給電圧が所定の電圧以上である場合、前記第2基準電圧が外部電源供給電圧に逆比例することを特徴とする請求項4に記載の集積回路メモリ装置。

【請求項6】 外部電源供給電圧が所定の電圧以下である場合、第2基準電圧が外部電源供給電圧に比例することを特徴とする集積回路メモリ装置。

【請求項7】 前記第1基準電圧発生器が、  
前記第1基準電圧を提供する第1ノードと、  
前記外部電源供給電圧に結合された第1端部と前記第1ノードに結合された第2端部とを有する第1レジスタと、  
第2ノードと、  
前記第1ノードに結合された第1端部と前記第2ノードに結合された第2端部とを有する第2レジスタと、  
前記第2ノードに結合されたドレーンと、ソースと、前記第1ノードに結合されたゲートとを有する第1NMOSTランジスタと、  
前記第1NMOSTランジスタのソースに結合されたドレーンと、第3基準電圧に結合されたソースと、前記外部電源供給電圧に結合されたゲートとを有する第2NMOSTランジスタと、  
前記第1ノードに結合されたソースと、第3基準電圧に結合されたドレーンと、前記第2ノードに結合されたゲートと、

前記第1ノードに結合された本体とを有する第PMOSTランジスタとを備えることを特徴とする請求項4に記載の集積回路メモリ装置。

【請求項8】 前記第2基準電圧発生器が、  
前記第2基準電圧を分割された電圧に分割する電圧分割器と、  
前記第1基準電圧と前記分割された電圧とを比較して比較電圧を発生する差動増幅器と、  
前記比較電圧に応じて、外部電源供給電圧によって第2基準電圧を分割するプールアップ分割器とを備えることを特徴とする請求項4に記載の集積回路メモリ装置。

【請求項9】 前記電圧分割器が、  
前記分割された電圧を提供するノードと、  
前記第2基準電圧に結合されたソースと、前記ノードに結合されたドレーンと、前記ノードに結合されたゲートと、前記第2基準電圧に結合された本体を有する第1PMOSTランジスタと、  
前記ノードに結合されたソースと、前記第3基準電圧に結合されたドレーンと、前記ノードに結合されたゲートと、前記外部電源供給電圧に結合された本体を有する第2PMOSTランジスタと、  
を備えることを特徴とする請求項8に記載の集積回路メモリ装置。

【請求項10】 基準電圧を発生する回路において、  
上部電源供給電圧を提供する第1ノードと、  
下部電源供給電圧を提供する第2ノードと、  
入力電圧受信する第3ノードと、  
前記基準電圧を提供する第4ノードと、  
前記基準電圧を分割された電圧に分割する電圧分割器と、  
前記入力電圧と前記分割された電圧とを比較して比較電圧を発生する差動増幅器と、  
前記比較電圧に応じて、前記上部電源供給電圧によって基準電圧を分割するプールアップ分割器とを備え、  
前記電圧分割器が、  
前記分割された電圧を提供する第4ノードと、  
前記第4ノードに結合されたソースと、第5ノードに結合されたドレーンと、前記第5ノードに結合されたゲートと、前記第4ノードに結合された本体を有する第1PMOSTランジスタと、  
前記第5ノードに結合されたソースと、前記第2ノードに結合されたドレーンと、前記第2ノードに結合されたゲートと、前記第1ノードに結合された本体を有する第2PMOSTランジスタとを備えることを特徴とする基準電圧発生回路。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は集積回路半導体メモリ装置に関り、より詳しくは、半導体メモリに使用するための内部電源供給電圧をデータ出力バッファに供給す

る内部電源供給電圧発生器に関するものである。

【0002】

【従来の技術】DRAMとSRAMのような半導体メモリ装置は集積度が高くなることに従い、データ出力速度と帯域幅が相当改善されてきた。

【0003】出力データ保持時間 $t_{OH}$ と有効出力に対するクロック遅延時間 $t_{SAC}$ との間隙(gap)がバーストアクセスモードの重要性によって同期型メモリにおいて重要なパラメータである。これはクロックサイクル時間 $t_{CC}$ が間隙に依存するためである。クロックサイクル時間が $t_{OH}$ と $t_{SAC}$ との和と、 $t_{OH}$ と $t_{SAC}$ との間隙である。 $t_{OH}$ と $t_{SAC}$ は上昇と下降遷移時間によって決められる。 $t_{OH}$ は上昇遷移時間によって決められ、 $t_{SAC}$ は下降遷移時間によって決められる。したがって、間隙が大きくなると、クロックサイクル時間は増加され、帯域幅が狭くなる結果になる。 $t_{OH}$ と $t_{SAC}$ との間隙の増加は電源供給電圧と温度の変化、或はデータ出力ピンのインピダンス誤整合によって優先的に発生される。間隙は電源供給電圧と温度にきわめて敏感である。

【0004】電源供給電圧の変化による $t_{OH}$ と $t_{SAC}$ との間隙の増加を防ぐため、集積回路半導体メモリ装置上に実現されたデータ出力バッファ回路は外部インタフェースにおける外部電源供給電圧に結合されたデータ出力駆動部の代りに外部電源供給電圧より安定された内部電源供給電圧によって供給される。駆動部は外部電源供給電圧とデータ出力パッドとの間に直列に結合された電流経路を有するプールアップMOSTランジスターと、データ出力パッドと基準電源供給電圧(接地電圧)との間に直列に結合された電流経路を有するプールダウンMOSTランジスターを含む。速度を向上させるため、プールアップMOSTランジスターは内部電源供給電圧によって決められたブーストされた電圧によって供給される。

【0005】しかしながら、もし高電源供給電圧が上述したデータ出力バッファ運営管理によって低電源供給電圧半導体メモリに外部的に印加されると、メモリのデータ出力駆動部内のプールアップトランジスターのソースドレーン電圧は増加される。これはプールアップトランジスターの電流駆動能力が増加されたため、高出力電圧と低出力電圧との間にスキュー(skew)が発生する。即ち、上昇遷移時間が短くなり、下降遷移時間は変わらない。結果的に、 $t_{OH}$ が短くなり、 $t_{SAC}$ は逆に長くなるから、メモリの帯域幅は減少される。

【0006】

【発明が解決しようとする課題】したがって、本発明の目的は、改良された速度と帯域幅を有する集積回路半導体メモリ装置を提供することである。

【0007】本発明の他の目的は非正常外部電源供給電圧によって発生する高出力電圧と低出力電圧との間のス

キューを防ぐことができる集積回路半導体メモリ装置を提供することである。

【0008】本発明のこの目的と、構成と、特徴は外部電源供給電圧に基づいて内部電源供給電圧を発生して、内部電源供給電圧をデータ出力バッファに提供する内部電源供給電圧発生器を含む集積メモリ装置によって達成される。この望ましい内部電源供給電圧発生器は外部電源供給電圧が所定の電圧(例えば、2.5V)より高いとき、外部電源供給電圧に逆比例する内部電源供給電圧を発生する。一方、内部電源供給電圧は外部電源供給電圧が所定の電圧より低いとき、外部電源供給電圧に比例する内部電源供給電圧を発生する。

【0009】したがって、正常外部電源供給電圧以上高い外部電源供給電圧が半導体メモリに供給されても、本発明による半導体メモリ装置には外部電源供給電圧の変化による高出力電圧と低出力電圧との間にスキューが発生しない。

【0010】

【課題を解決するための手段】本発明の1特徴によると、内部電源供給電圧は第1基準電圧(例えば、1.1V)を発生する第1基準電圧発生器と、外部電源供給電圧に依存して変化される第2基準電圧を発生する第2基準電圧発生器と、第2基準電圧に基づいて内部電圧を発生して、内部電源供給電圧をデータ出力バッファに提供するバッファ電源供給電圧発生器を有する。第2基準電圧発生器は外部電源供給電圧が所定の電圧(例えば、2.5V)より高いとき、外部電源供給電圧に逆比例する内部基準電圧を発生する。又、第2基準電圧発生器は外部電源供給電圧が所定の電圧より低いとき、外部電源供給電圧に比例する第2基準電圧を発生する。第2基準電圧発生器は電圧分割器と、差動増幅器と、プールアップ分割器で構成される。電圧分割器は第2基準電圧を分割された電圧に分割する。差動増幅器は第1基準電圧を分割された電圧と比較して比較電圧を発生する。プールアップ駆動器は比較電圧に応じて外部電源供給電圧によって第2基準電圧を駆動する。

【0011】

【発明の実施の形態】以下、本発明の望ましい実施の形態を添付した図面を参照しながら、詳細に説明する。図面では広く公知された回路は本発明の説明を簡単にするため、ブロック図で示し、同一な構成要素には同一な参照番号を付ける。

【0012】図1を参照すると、本発明による集積回路半導体メモリ装置がブロック図で示している。メモリ装置100はローアドレスA<sub>i</sub>を受信するローアドレスバッファ回路110と、カラムアドレスA<sub>j</sub>を受信するカラムアドレスバッファ回路120と、ローとカラムで配列されデータビットを貯蔵する複数のメモリセルと、ローアドレスA<sub>i</sub>に基づいてメモリセルアレー125のうち1つのローを選択するローディコード回路130と、

メモリセルアレー125のうち、少なくとも1つのカラムを選択するカラムデコード回路140と、選択されたメモリセルからデータDBiを感知及び増幅する感知増幅器及び入力／出力(I/O)ゲート回路150と、データDBiをI/OパッドDQiを出力するデータ出力バッファ回路160を含む。メモリ装置100は加えて外部電源供給電圧(上部電源供給電圧)EVCに基づいて内部電源供給電圧VINTQを発生する内部電源供給電圧発生器回路200を含む内部電源供給電圧VINTQはデータ出力バッファ160に提供する。

【0013】内部電源供給電圧発生器200は第1基準電圧VREFを発生する第1基準電圧発生器170と、第2基準電圧発生器VREFQを発生する第2基準電圧発生器180と、バッファ電源供給電圧として内部電源供給電圧VINTQを発生するバッファ電源供給電圧発生器180とを含む。第1と第2基準電圧発生器170と180バッファ電源供給電圧発生器190は外部電源供給電圧EVCを供給する。

【0014】図2はデータ出力バッファ160の詳細回路構成を示している。データ出力バッファ160はNANDゲートG1、G2、及びG3と、インバータIV1及びIV3と、ブスティング回路162と、出力駆動回路164とを含む。第1NANDゲートG1は感知増幅器とI/Oゲート回路150からデータ信号DBiを受信する第1入力と、内部制御回路(図示しない)と、入力信号DBiとPTRSTのNANDゲート論理出力信号を提供する出力を含む。第1インバータIV1はデータ信号DBiと反転された信号DBiバーを受信する入力を有する。第2インバータIV2はインバータIV1から反転された信号DBiバーを受信する第1入力と、制御信号PTRSTを受信する第2入力と、入力信号DBiバーとPTRSTのNAND論理出力信号を提供する出力とを有する。第2インバータIV3は第2NANDゲートG2の出力に結合された入力と、出力駆動回路164に結合された出力を有する。ブスティング回路162は第1NANDゲートG1の出力に結合された入力を有するインバータIV2と；インバータIV2の出力に結合された第1電極を有する電荷ポンプキャパシタC1と；ダイオード接続されたNMOSTランジスタMN9を経て内部電源供給電圧VINTQに結合された第2電極と、キャパシタC1の第2電極とダイオード接続されたランジスタMN9と共通に接続されたソースと、出力駆動回路164に結合されたドレインと第1NANDゲートG1に結合されたゲートを有するプールのアップPMOSTランジスタMN10と；プールのアップランジスタMP10のドレインに接続されたドレインと、基準或は下部電源供給電圧(即ち、接地電圧)GNDに接続されたソースと、第3NANDゲートG3の出力に結合されたゲートを有するプールのダウンNMOSTランジスタ出力駆動回路164は外部電源供給電圧

EVCに接続されたドレインと、出力パッドDOUTに結合されたソースと、ブスティング回路162内にトランジスタMP10とMN10のドレインに結合されたゲートと；出力パッドDOUTに結合されたドレインと、基準電源供給電圧GNDに結合されたソースと、インバータIV3の出力に結合されたゲートを有するプールのダウンNMOSTランジスタMN12を含む。この構成の出力バッファ回路の動作は以下詳細に説明する。

【0015】データ信号DBiが高論理レベルであり(或は反転されたDBiバーが低論理レベルである)制御信号PTRSTが高論理レベルであるとき、第1と第3NANDゲートG1とG3の出力信号は低論理レベルになり、第2NANDゲートG2の出力信号は高論理レベルになる。ブスティング回路162において、(第1プールのダウンアップトランジスタと称した)プールのダウントランジスタはタンオフされる。結果として、電荷ポンプキャパシタC1は第1プールのアップトランジスタMP10を経て所定のブーストされた電圧(例えば、約VINTQ×1.8V)を第1プールのアップノードDOK或は出力駆動回路164内の(第2プールのアップトランジスタと称した)プールのアップトランジスタMN11のゲートに提供する。ノードDOKのブーストされた電圧は有利な速度を提供し、内部電源供給電圧VINTQに依存する。このとき、低論理レベルはプールのアップノードDOKバー或いは出力駆動回路164内の(第2プールのダウントランジスタと称した)プールのダウントランジスタMN12に提供されるため、第2プールのダウントランジスタMN12はタンオフされる。従って、ノードDOKの電圧レベルは電荷ポンプキャパシタによるポンピング電位とインバータIV2を通じる電位の和であるから、第2プールのアップトランジスタMN11はタンオンされ、出力パッドDOUTの電圧レベルは高論理レベルになる。

【0016】一方、データ信号DBiは低論理レベル(或いは反転されたデータ信号DBiバーは低論理レベル)であり、制御信号PTRSTが高論理レベルである時、第1と第3NANDゲートG1とG3の出力信号は高論理レベルになり、第2NANDゲートG2の出力信号は低論理レベルになる。したがって、第1プールのアップトランジスタMP10はタンオフされ、第2プールのダウントランジスタMN10はタンオンされ、第2プールのダウントランジスタMN12はタンオンされる。結果的に出力パッドDOUTの電圧レベルは低論理レベルになる。

【0017】しかしながら、正常電源供給電圧レベルLEVC以上の高外部電源供給電圧HEVC(例えば、2.5V)は上述した構成の半導体メモリ装置に供給され、ノードDOKは本発明の前記従来の技術部分に述べたように外部電源供給電圧変化に関わらず、殆ど一定な所定のブーストされた電圧で供給され、第2プールのアッ

プトランジスタMN11の電流駆動能力(或いは電導度)は正常状態にトランジスタMN11の電流駆動能力により低くなる。結果的に、図6に示したように基準記号AとBが正常状態の時、高と低出力電圧を示し、記号A'は非正常状態の時、高出力電圧を示しているところで外部電源供給電圧の変化によって、電圧出力高電圧VOHと出力低電圧VOLとの間のスキューが発生される。従って、そのスキューの発生を防ぐのが必要である。この解決方法は以下で説明する内部電源供給電圧発生器200にある。

【0018】図3は第1基準電圧発生器170の詳細な回路構成を示している。第1基準電圧発生器170はレジスタR1とR2と、NMOSTランジスタMN1とMN2と、PMOSTランジスタMP1とで構成される。レジスタR1の一端部は外部電源供給電圧(上部電源供給電圧)EVCに結合され、その他の端部は第1基準電圧VREFを提供する第1ノード14に結合される。レジスタR2の一端部は第1ノード14に結合され、その他の端部は第2ノード16に結合される。NMOSTランジスタMN1とMN2は第2ノード16と基準電圧(下部電源供給電圧)GNDとの間に直列に結合されたソースドレイン導電経路(即ち、チャンネル)を有する。NMOSTランジスタMN1とMN2のゲートは第1ノード14と外部電源供給電圧EVCに各々結合される。PMOSTランジスタMP1は第1ノード14に結合されたソースと、接地電圧GNDに結合されたドレインと、第2ノード16に結合されたゲートと、第1基準電圧VREFに印加された本体(或いはバルク)とを有する。

【0019】第1基準電圧VREFはPMOSTランジスタMP1のスレシヨルド電圧 $V_{TP1}$ とNMOSTランジスタMN1のドレイン電圧 $V_{DN1}$ との和である。第1基準電圧VREFは以下のように表示できる。

$$\begin{aligned} VREF &= V_{TP1} + V_{DN1} \\ &= V_{TP1} + (V_{TP1}/R2) R_{TR} \\ &= V_{TP1} + (1 + R_{TR}/R2) \end{aligned}$$

ここで、 $R_{TR}$ はNMOSTランジスタMN1とMN2の等価抵抗値の和である。

【0020】この方程式から、外部電源供給電圧EVCは第1基準電圧TVREFを発生する回路170に影響を与えないことを認識しなければならない。スレシヨルド電圧 $V_{TP1}$ が温度に逆比例し、抵抗値の和 $R_{TR}$ が温度に比例するため、基準電圧の温度変化の影響は最小化される。

【0021】図4を参照すると、第2基準電圧発生器180の詳細回路構成を示している。第2基準電圧発生器180は差動増幅器212と、プールアップ駆動器214と、電圧分割器216とを含む。差動増幅器212はPMOSTランジスタMP2とMP3によって形成される電流ミラー(current mirror)と、

NMOSTランジスタMN3とMN4によって形成された差動対と、NMOSTランジスタMN5によって形成された電流シンカー(current sinker)で構成される。電流ミラーMP2とMP3には外部電源供給電圧EVCが供給される。トランジスタMP2とMP3の本体は外部電源供給電圧EVCに結合される。第1基準電圧VREFはトランジスタMN3とMN5のゲートに印加される。トランジスタMN4のゲートは電源分割器216に結合される。出力ノード17はプールアップ分割器214に結合される。差動増幅器212は第1基準電圧VREFを分割器216の分割された電圧Vdivと比較して、比較電圧Scompを発生する。分割された電圧Vdivが第1基準電圧VREFより低いとき、比較電圧Scompは減少され、第2基準電圧VREFQを増加させる。反面、分割された電圧Vdivが第1基準電圧VREFより高いとき、比較電圧Scompは増加され、第2基準電圧VREFQを減少させる。プールアップ駆動器214はゲートがノード17に結合されたPMOSTランジスタMP4を含む。トランジスタMP4のソースドレインチャンネルは第2基準電圧VREFQを提供するために、外部電源供給電圧EVCとノード18との間に結合される。プールアップ駆動器214は外部電源供給電圧EVCによって第2基準電圧を駆動する。電圧駆動器216はノード18と接地電圧GNDとの間に直列に結合された2つの抵抗器—接続PMOSTランジスタMP5とMP6で構成される。トランジスタMP5とMP6の接合ノード19は差動増幅器212内のトランジスタMN4のゲートに結合される。トランジスタMP5の本体は外部電源供給電圧EVCに結合される。電圧分割器216は第2電圧VREFQを電圧Vdivで分割される。この電圧Vdivはノード19を経て差動増幅器212に提供される。

【0022】正常外部電源供給電圧以上の外部電源供給電圧が本発明の半導体メモリチップに供給されるとき、分割器回路216内のPMOSTランジスタMP6のスレシヨルド電圧 $V_{TP6}$ が増加され、分割された電圧Vdivが増加されるようにする。結果的に、正常外部供給電圧(例えば、2.5V)以上の外部電源供給電圧が本発明のメモリに供給されると、図7に示したように分割された電圧Vdivが比較的に増加され、第1基準電圧VREFが一定(例えば、1.1V)に維持されるから、第2基準電圧VREFQが減少される。

【0023】図5はバッファ電源供給電圧発生器190の詳細回路構成を示している。バッファ電源供給電圧190は差動増幅器230と、プールアップ駆動器232と、データ出力バッファ160に内部電源供給電圧VINNTQを提供する出力ノード234を含む。差動増幅器230はPMOSTランジスタMP7とMP8によって形成される電流ミラーと、比較電圧を提供する出力ノ

ード50と、NMOSTランジスタMN6とMN7によって形成された差動対と、NMOSTランジスタMN8によって形成された電流シンカーとを含む。電流ミラートランジスタMP7と8は外部電源供給電圧EVCで供給される。トランジスタMP7とMP8の本体は外部電源供給電圧EVCに結合される。第基準電圧VREFQはトランジスタMN6のゲートに結合され、内部電源供給電圧VINTQはトランジスタMN7のゲートに結合される。電流シンカートランジスタMN8は内部制御回路(図示しない)からの制御信号PVINTQEに供給される。プールアップ駆動器214はゲートがノード50に結合されたPMOSTランジスタMP9を含む。トランジスタMP9のソースドレーンチャンネルは外部電源供給電圧EVCとノード234との間に結合される。プールアップ駆動器214は外部電源供給電圧EVCを使用して内部電源供給電圧VINTQを駆動する。

【0024】内部電源供給電圧VINTQが第2基準電圧VREFQより低いとき、ノード50の比較電圧は減少され、内部電源供給電圧VINTQが増加する。反面、内部電源供給電圧VINTQが第2基準電圧VREFQより高いとき、ノード50の比較電圧は増加され、内部電源供給電圧VINTQが減少する。

【0025】

【発明の効果】従って、正常外部電源供給電圧以上の外部電源供給電圧が本発明の半導体チップに供給される時、第2基準電圧VREFQが減少され、第2プールアップトランジスタMN11の第2プールアップトランジスタMN11のゲートソース電圧Vgsが減少される(図6参照)ようになるから、内部電源供給電圧VINTQは相対的に減少される。これは高EVCによって発生されたドレーンソース電圧Vdsの増加を補償

し、トランジスタMN11は外部電源供給電圧にもかかわらず、一定な電流駆動能力を有して、外部電源供給電圧の変化による高出力電圧VOHと低出力VOLとの間のスキューの発生を防ぐことができる。

【図面の簡単な説明】

【図1】 本発明による半導体メモリ装置の実施の形態を示すブロック図である。

【図2】 図1に示したデータ出力バッファの詳細な回路図である。

【図3】 図1に示した第1基準電圧発生器の詳細な回路図である。

【図4】 図1に示した第2基準電圧発生器の詳細な回路図である。

【図5】 図1に示したバッファ電源供給電圧発生器の詳細な回路図である。

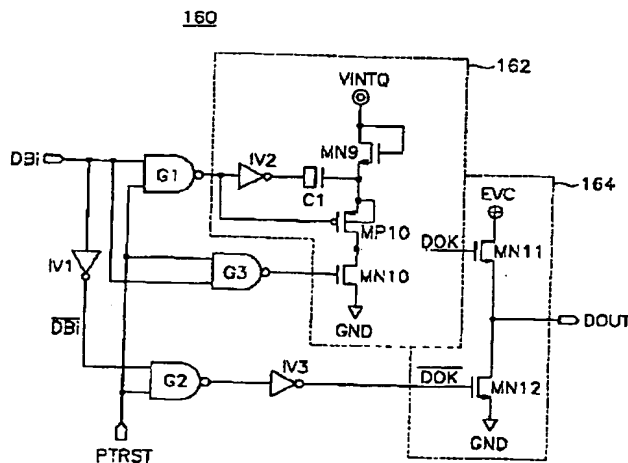
【図6】 外部電源供給電圧の変化による高出力電圧とてい出力電圧との間にスキューを示した図である。

【図7】 外部電源供給電圧と第2基準電圧発生器との関係を示した図である。

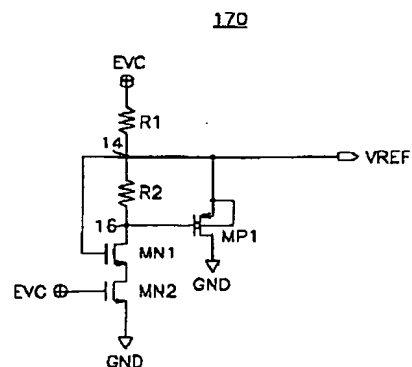
【符号の説明】

- 100：半導体メモリ装置
- 110：ローアドレスバッファ回路
- 120：カラムアドレスバッファ回路
- 125：メモリセルアレー
- 130：ローディコード回路
- 140：カラムディコード回路
- 150：入力/出力ゲート回路
- 160：データ出力バッファ回路
- 170：第1基準電圧発生器
- 180：第2基準電圧発生器
- 190：バッファ電源供給発生器
- 200：内部電源供給電圧発生器

【図2】

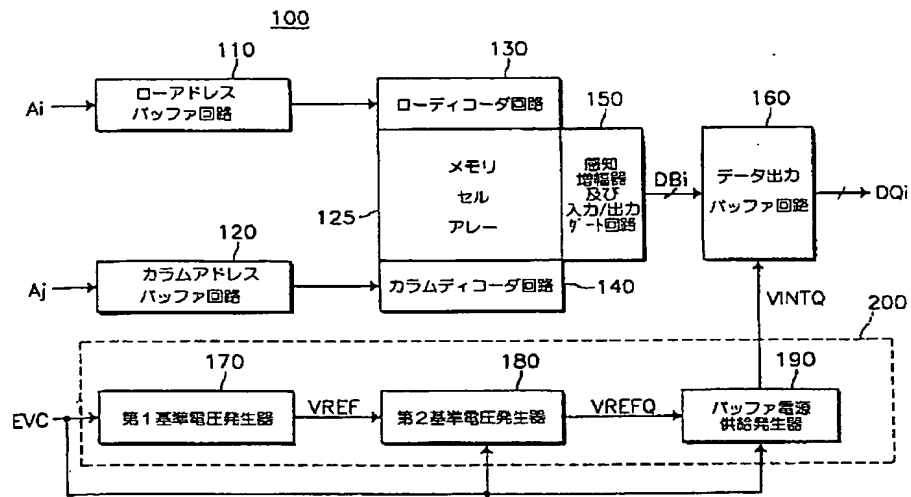


【図3】

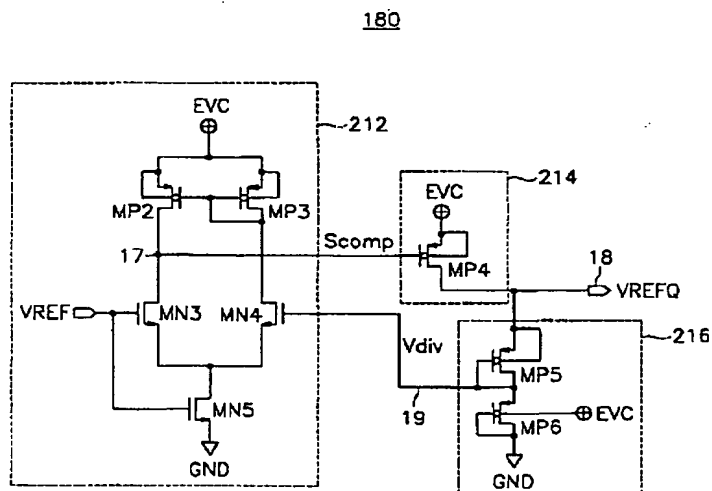




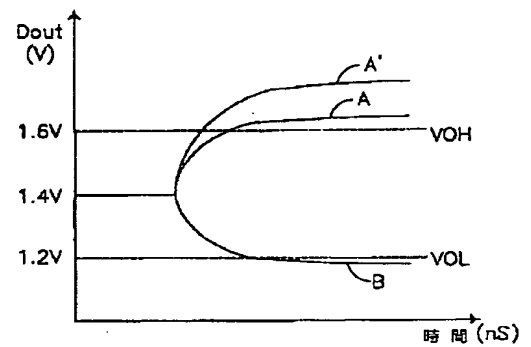
【図1】



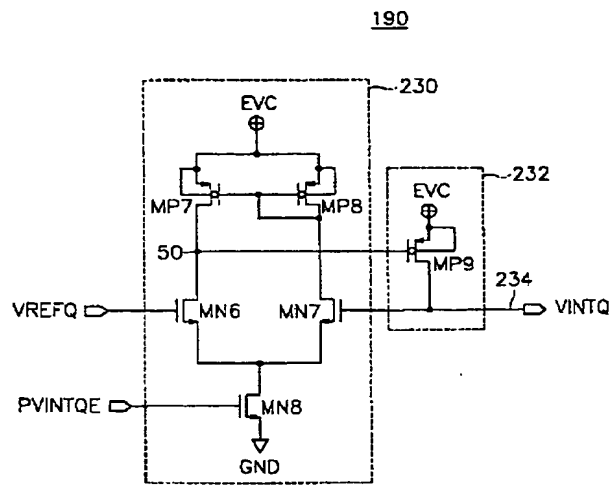
【図4】



【図6】



【図5】



【図7】

